

Requested Patent: JP7007075A

Title:

REACH-THROUGH ISOLATION ETCHING METHOD FOR SILICON-ON-INSULATOR
DEVICES ;

Abstracted Patent: US5306659 ;

Publication Date: 1994-04-26 ;

Inventor(s): BEYER KLAUS D (US); YAPSIR ANDRIE S (US) ;

Applicant(s): IBM (US) ;

Application Number: US19930037855 19930329 ;

Priority Number(s): US19930037855 19930329 ;

IPC Classification: H01L21/76 ;

Equivalents: EP0622843, JP2910974B2 ;

ABSTRACT:

A method and the resulting product for isolating lightly doped silicon islands from each other and from a common substrate. The substrate is covered with a first heavily doped epi layer. The first layer is covered with a lightly doped second epi layer. A pair of spaced deep trenches are provided which extend from the top surface of the second layer, through the first layer and into the substrate. The interior walls of the trenches are lined with oxide. A pair of heavily doped reach-through diffusions extending from said top surface to the first layer is oriented perpendicularly to the deep trenches and fully extends between the trenches. The heavily doped reach-through diffusions and the contiguous first layer are removed by a single anisotropic etching step to yield silicon islands isolated by air except where the islands contact the oxide-lined deep trenches. The air isolation preferably is partially replaced with other dielectric material.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-7075

(43)公開日 平成7年(1995)1月10日

(51)IntCl.⁶
H 01 L 21/764
27/12

識別記号 庁内整理番号
F
9169-4M

F I
H 01 L 21/ 76

技術表示箇所
A

審査請求 有 請求項の数9 OL (全5頁)

(21)出願番号 特願平6-40791
(22)出願日 平成6年(1994)3月11日
(31)優先権主張番号 037855
(32)優先日 1993年3月29日
(33)優先権主張国 米国(US)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク(番地なし)
(72)発明者 クラウス・ディートリッヒ・ペイヤー
アメリカ合衆国12601、ニューヨーク州ボ
キブシ、キングウッド・レーン 4
(74)代理人 弁理士 合田潔(外2名)

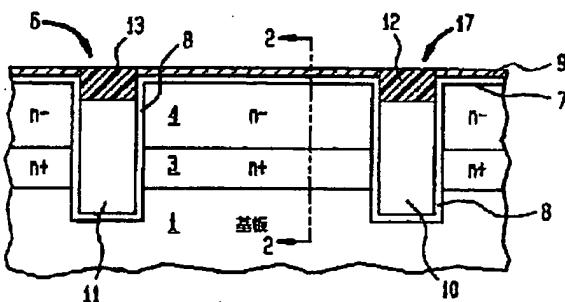
最終頁に続く

(54)【発明の名称】シリコン・オン・インシュレータ・デバイスの分離エッチング方法

(57)【要約】

【目的】 軽度ドープのシリコン島を互いに且つ共通基板から分離する方法及びその生成物を提供する。

【構成】 基板1は重度ドープの第1エピタキシャル層で覆われる。第1層は軽度ドープの第2エピタキシャル層で覆われる。第2層の上表面7から、第1層を経て基板1に伸びる、離隔した1対のディープ・トレンチ6、17が形成される。トレンチの内壁は酸化物8で覆われる。第1層の該上表面7から伸びた重度ドープの1対のリーチスルーハウザ領域は、ディープ・トレンチ6、17に対して垂直に向けられ、トレンチの間に完全に伸びる。重度ドープのリーチスルーハウザ領域と連続した第1層は、1回の異方性エッチング工程によって取り除かれ、シリコン島が、酸化物8で覆われたディープ・トレンチ6、17に接触する部分を除いて、空気によって分離される。空気による分離は、好適には他の誘電物質で部分的に置き換えられる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】分離した島を有する半導体チップであつて、
基板と、
上記基板上の重度ドープの第1エピタキシャル層と、
上記基板上の軽度ドープの第2エピタキシャル層と、
上記島の第1寸法を画成し、上記第2層の上表面から上記第1層を経て上記基板に伸びる、離隔した1対のディープ・レンチと、
上記トレンチの内壁の絶縁層と、
上記ディープ・トレンチとの間に完全に伸びて、上記島の第2寸法を画成し、上記第2層の上表面から上記基板に伸びる、離隔した浅い1対のトレンチとを含み、
上記第1層が、上記島、上記ディープ・トレンチ、及び上記浅いトレンチの部分を除いて上記基板を覆い、
上記島が上記第1層の厚みに等しい距離だけ上記基本から離隔した、
半導体チップ。

【請求項2】上記浅いトレンチと、上記島及び上記基板との間の空間が、空気を含む誘電物質で充填された、請求項1記載の半導体チップ。

【請求項3】上記誘電物質が、二酸化シリコン、ポリシリコン、及びポリマから成るグループの少なくとも1つの誘電体を含む、請求項2記載の半導体チップ。

【請求項4】上記第1及び第2の層が、それぞれN⁺、N⁻にドープされたシリコンである、請求項1記載の半導体チップ。

【請求項5】上記絶縁層に対する上記ディープ・トレンチの内側が、ポリシリコンとポロシリケート・ガラスから成るグループの1つで充填され、上側が二酸化シリコンで覆われた、請求項1記載の半導体チップ。

【請求項6】共通の半導体チップから半導体の島を分離する方法であつて、

重度ドープの第1エピタキシャル層を上記基板上に形成する工程と、

軽度ドープの第2エピタキシャル層を上記第1層上に形成する工程と、

上記第2層の上表面から、上記第1層を経て上記基板に伸びる、離隔した1対のディープ・トレンチを形成する工程と、

上記トレンチの内壁に絶縁ライニングを形成する工程と、

上記第1層の上記上表面から、上記トレンチの間に完全に伸びた、重度ドープの1対のリーチスルー領域を形成する工程と、

上記島の下の上記重度ドープの層と上記重度ドープのリーチスルー領域とを、選択的異方性エッティングによって取り除くことによって、該島が上記ライニングされたトレンチに接触する部分を除いて空気によって囲まれる工程と、

を含む、半導体の島の分離方法。

【請求項7】誘電物質を上記空気に追加する工程を含み、上記物質が、二酸化シリコン、ポリシリコン及びポリマから成るグループから選択される、

請求項6記載の半導体の島の分離方法。

【請求項8】上記第1及び第2の層が、それぞれN⁺、N⁻にドープされたシリコンである、請求項6記載の半導体の島の分離方法。

【請求項9】上記ディープ・トレンチを、ポリシリコンとポロシリケート・ガラスから成るグループの1つで充填する工程と、

上記グループの上記1つの上側を二酸化シリコンで覆う工程と、

を含む、請求項6記載の半導体の島の分離方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的には、シリコン・オン・インシュレータ(SOI)半導体デバイス構造及びその形成方法に関し、特にかかるデバイス構造を同じチップ上で互いに分離するための、ドープされたリーチスルー領域にもとづく簡易アンダーカット・エッティング方法に関する。

【0002】

【従来の技術】ドープされ埋込まれた半導体領域を選択的に取り除いて、絶縁物質を追加するための塗んだスペースを形成するアンダーカット・エッティング方法は、シリコン・オン・インシュレータ(SOI)技術では周知の方法である。様々な方法の相違点は、特に埋込まれた領域に達してこれを取り除くアクセス方法、及び埋込まれた領域を取り除くプロセスでの上位層(分離対象)の支持方法の複雑さである。

【0003】例えば、Gregory N. Burtonによる1989年12月19日付、米国特許第4888300号、"Submerged Wall Isolation of Silicon Islands"は、ドーピングが異なる埋込み層にアクセスするためにエピタキシャル層にトレンチを使用する方法を開示している。トレンチに隣接したエピタキシャル層の部分(酸化物のブリッジによって)支持する際には、埋込まれた層の下位領域がエッティングによって取り除かれ、活性域の下に空隙が形成される。アクセス、支持、及び除去の工程により、空隙を形成し、シリコンの島を基板から完全に分離するために5つのエッティング工程が開示されている。K. D. Beyerらによる1991年10月23日付、関連特許出願書類第781429号、"Buried Air Dielectric Isolation of Silicon Islands"もまた、トレンチと酸化物のブリッジを形成する工程により、埋込まれた領域の物質にアクセスしてこれを取り除く一方、活性域を支持するものである。完全に分離されたシリコンの島を形成するための3つのエッティング工程が開示されている。

BEST AVAILABLE COPY

【0004】

【発明が解決しようとする課題】本発明の目的は、同じシリコン・チップ上の島のそれぞれを分離するために、各島の下部の埋込まれた領域にアクセスしてこれを取り除くための、従来から提案されているようなトレンチをエッティングする必要をなくすことである。

【0005】本発明の他の目的は、各島の下部の埋込まれた領域が取り除かれる際に、各島を支持するための酸化物のブリッジの必要をなくすことである。

【0006】

【課題を解決するための手段】本発明の目的は、共通の基板から分離されるシリコンの島のそれぞれの第1寸法を画成するために、離隔した1対のディープ・トレンチを形成することによって達成される。トレンチは、軽度ドープのシリコン層の上表面からシリコン基板に伸びて、中間の軽度ドープ・シリコン層を完全に貫通する。トレンチの内壁は熱酸化物等の絶縁物質で覆われる。該トレンチの間に完全に垂直であり、該上表面から該中間層に伸びた重度ドープの1対のリーチスルー拡散領域が、各シリコン島の第2寸法を画成する。各島の第3寸法は、上記の軽度ドープ・シリコン層の厚みによって決定される。

【0007】重度ドープの中間層とリーチスルー拡散領域は、異方性エッティング工程1回で取り除かれる。このエッティングにより、重度ドープ領域だけが選択的にエッティングされ、軽度ドープ領域と酸化領域には影響が及ばない。

【0008】

【実施例】図1を参照する。シリコン基板1は、重度ドープ(N^+)エピタキシャル層3と上側の軽度ドープ(N^-)エピタキシャル層4で覆われる。基板1の導電型は、層3とのp-n分離接合の形成に用いられないという点で重要ではない。層3は、空気等の誘電物質に代えれば、後述のように分離層となる。離隔した1対のディープ・トレンチ17、6は、該トレンチを分ける中間のエピタキシャル層4に形成される分離したシリコン島群の1寸法を画成する。各トレンチは、エピタキシャル層4の上表面7から、エピタキシャル層3を経て基板1に伸びる。トレンチ17、6の内壁は、エピタキシャル層4の上表面7と共に熱酸化物8によって覆われる。S_i:N₄層9は酸化物8の上表面の部分を覆う。トレンチは、好適にはポリシリコン、ポロシリケート・ガラス等の物質10、11で充填され、CVD酸化物キャップ12、13で覆われる。

【0009】本発明の第2の特徴は、図1の2-2の図2の部分断面図と図3の平面図からはっきり見てとれる。1対をなす重度ドープ(N^+)のリーチスルー領域14、15は、図1の1トレンチ(17)から図1のもう1つのトレンチ(6)の方向に垂直に伸びる。領域14、15はまた、エピタキシャル層1の上表面から伸び

て重度ドープ(N^+)エピタキシャル層3に接触する。よってリーチスルー領域14、15は、中間のエピタキシャル層4に形成される分離した各シリコン島の第2寸法を画成する。各島の第3寸法は層4の厚みによって決定される。

【0010】全体の構造は1回の選択的プラズマ・エッティングにかけられる。これにより、好適には連続したN⁺重度ドープ領域14、15、及び3がエッティングされて取り除かれ、図4、図5のように、前にN⁺シリコンが占めていた図1、図2の連続領域14、15、3に空乏16(空気)が残る。プラズマ・エッティングは従来の任意の方法でよい。各シリコン島(例えば図3の島18)は、両端でトレンチ17、6の酸化側壁8に接続され、他の場合には、空気誘電体16に囲まれる。その場合、島はそれぞれ互いに基板1から分離される。つまり、空気誘電体の空隙は、ただ1回の選択的エッティング工程によって効果的に形成される。空気誘電体が占める空間は、好適には、CVD二酸化シリコン、ポリシリコン、ポリイミド等のポリマ物質の組合せで部分的に充填される(図示なし)。これは、上記記の分離プロセスが、分離した島内の構造を形成するための高温処理工程の終わりに行なわれる場合である。分離した島が、このような高温処理工程の前に形成される場合は、充填された領域16の上に、充分な厚みのあるCVDシリコン酸化物キャップが必要である。埋込まれた空気誘電体により、生じ得る熱応力が減少する。

【0011】以下に、実施例を整理して記載する。

(1) 分離した島を有する半導体チップであって、基板と、上記基板上の重度ドープの第1エピタキシャル層と、上記基板上の軽度ドープの第2エピタキシャル層と、上記島の第1寸法を画成し、上記第2層の上表面から上記第1層を経て上記基板に伸びる、離隔した1対のディープ・トレンチと、上記トレンチの内壁の絶縁層と、上記ディープ・トレンチとの間に完全に伸びて、上記島の第2寸法を画成し、上記第2層の上表面から上記基板に伸びる、離隔した浅い1対のトレンチとを含み、上記第1層が、上記島、上記ディープ・トレンチ、及び上記浅いトレンチの部分を除いて上記基板を覆い、上記島が上記第1層の厚みに等しい距離だけ上記基本から離隔した、半導体チップである。

(2) 上記浅いトレンチと、上記島及び上記基板との間の空間が、空気を含む誘電物質で充填された、(1)記載の半導体チップである。

(3) 上記誘電物質が、二酸化シリコン、ポリシリコン、及びポリマから成るグループの少なくとも1つの誘電体を含む、(2)記載の半導体チップである。

(4) 上記第1及び第2の層が、それぞれN⁺、N⁻にドープされたシリコンである、(1)記載の半導体チップである。

(5) 上記絶縁層に対する上記ディープ・トレンチの内

BEST AVAILABLE COPY

側が、ポリシリコンとポロシリケート・ガラスから成るグループの1つで充填され、上側が二酸化シリコンで覆われた、(1)記載の半導体チップである。

(6) 共通の半導体チップから半導体の島を分離する方法であって、重度ドープの第1エピタキシャル層を上記基板上に形成する工程と、軽度ドープの第2エピタキシャル層を上記第1層上に形成する工程と、上記第2層の上表面から、上記第1層を経て上記基板に伸びる、離隔した1対のディープ・トレンチを形成する工程と、上記トレンチの内壁に絶縁ライニングを形成する工程と、上記第1層の上記上表面から、上記トレンチの間に完全に伸びた、重度ドープの1対のリーチスルーフィールドを形成する工程と、上記島の下の上記重度ドープの層と上記重度ドープのリーチスルーフィールドとを、選択的異方性エッティングによって取り除くことによって、該島が上記ライニングされたトレンチに接触する部分を除いて空気によって囲まれる工程とを含む、半導体の島の分離方法である。

(7) 誘電物質を上記空気圧に追加する工程を含み、上記物質が、二酸化シリコン、ポリシリコン及びポリマから成るグループから選択される、(6)記載の半導体の島の分離方法である。

(8) 上記第1及び第2の層が、それぞれN⁺、N⁻にドープされたシリコンである、(6)記載の半導体の島の分離方法である。

(9) 上記ディープ・トレンチを、ポリシリコンとポロシリケート・ガラスから成るグループの1つで充填する

工程と、上記グループの上記1つの上側を二酸化シリコンで覆う工程とを含む、(6)記載の半導体の島の分離方法である。

【0012】

【発明の効果】

【図面の簡単な説明】

【図1】 本発明に用いられるライニングされたディープ・トレンチと積層シリコン構造であり、部分的に完成した好適な実施例の構造を簡略化した部分断面図である。

【図2】 図1の2-2を簡略化した部分断面図である。

【図3】 図1、図2のチップ構造の平面図である。

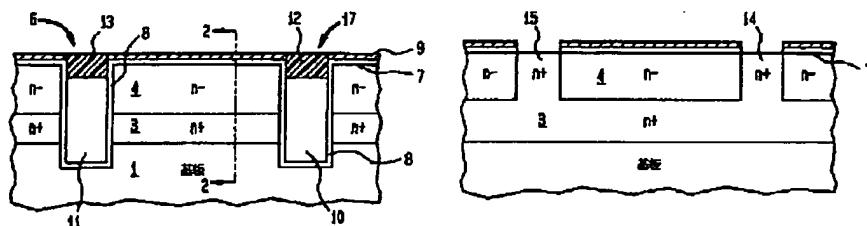
【図4】 図1に対応するが、中央の重度ドープ領域が取り除かれた後の簡略化した断面図である。

【図5】 図2に対応するが、連続した重度ドープ領域が取り除かれた後の簡略化した断面図である。

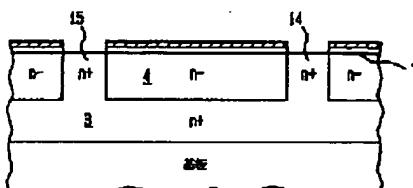
【符号の説明】

1	シリコン基板
3	重度ドープ (N ⁺) エピタキシャル層
4	軽度ドープ (N ⁻) エピタキシャル層
6、17	ディープ・トレンチ
7	上表面
8	熱酸化物
9	Si ₃ N ₄ 層
12、13	CVD酸化物キャップ
14、15	リーチスルーフィールド
16	空乏

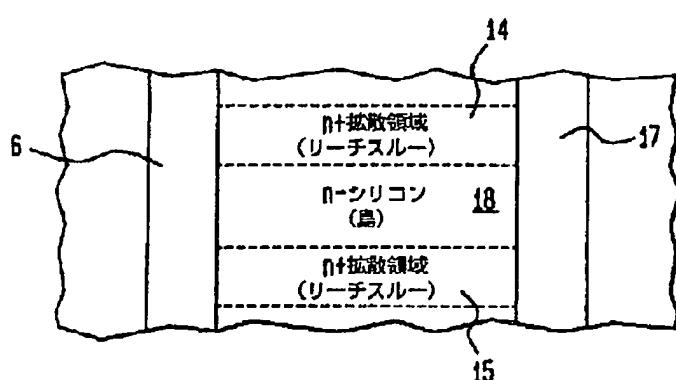
【図1】



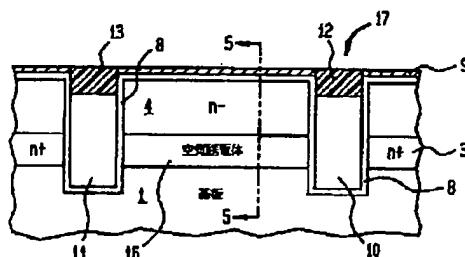
【図2】



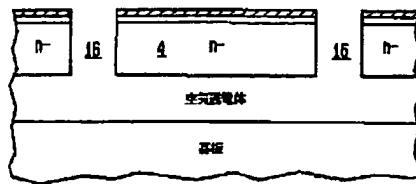
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 アンドリー・セティアウン・ヤブサー
アメリカ合衆国12569、ニューヨーク州ブ
レザント・バレイ、ダナ・ドライブ 4

BEST AVAILABLE COPY